

DIALOG(R)File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

03446839 **Image available**

MANUFACTURE OF THIN-FILM SEMICONDUCTOR DEVICE

PUB. NO.: 03-109739 [JP 3109739 A]

PUBLISHED: May 09, 1991 (19910509)

INVENTOR(s): TANAKA HIROYUKI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation),
JP (Japan)

APPL. NO.: 01-248901 [JP 89248901]

FILED: September 25, 1989 (19890925)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1096, Vol. 15, No. 304, Pg. 149,
August 05, 1991 (19910805)

ABSTRACT

PURPOSE: To prevent thinning of a gate oxide film and deformation of a substrate by forming a second insulating layer after forming an interlayer insulating film at a material layer for a gate electrode and then by forming a source/drain region by ion implantation and diffusion, leaving a second insulating layer on the side surface of a gate electrode part.

CONSTITUTION: An active layer 2 is formed on an insulating substrate 1 and then a gate oxide film 3 which is a first insulating layer is formed. A polycrystalline silicon layer 4 is allowed to grow on it, and insulating layer 5 is formed, accumulated in the form of an oxide film, and then an insulating layer 5 and a polycrystalline silicon 4 are subjected to anisotropic etching. A second insulating layer 6 is formed on it, an anisotropic etching is performed, an insulating layer is formed on the side wall of the gate, the gate insulation is completed, and then ions are implanted for preventing the implantation region of impurities from entering the inside from the gate edge part, thus preventing the substrate from being deformed and the film thickness of the gate oxide film from becoming thin at the edge.

BEST AVAILABLE COPY

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A) 平3-109739

⑫Int. Cl.

H 01 L 21/336
29/784

登録記号

庁内整理番号

⑬公開 平成3年(1991)5月9日

9056-57 H 01 L 29/78 311 Y
審査請求 未請求 請求項の数 1 (全 1 頁)

⑭発明の名称 深溝半導体装置の製法

⑮特 願 平1-248901

⑯出 願 平1(1989)9月25日

⑰発明者 田中 喬行 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑱出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号
⑲代理人 井理士 友松 美智

BEST AVAILABLE COPY

明 碑 書

1. 発明の名称

深溝半導体装置の製法

2. 特許請求の範囲

1. 地溝部板上にシリコンよりなる活性層を形成後、シリコン層全面に第1の地溝層であるゲート強化層を形成し、ついでゲート電極用材料層を形成し、その上に焼成化によらない方法により層間絕縁膜を形成した後、ホトリソ、異方性ニッティングによりゲート電極部を形成し、ついで、その上に焼成化によらない方法で、第2の地溝層を形成し、ホトリソ、異方性ニッティングによりゲート電極部の側面にのみ第2の地溝層を残し、その後、イオン打込、植蔵によりソース・ドレイン領域を形成することを特徴とする深溝半導体装置の製法。

3. 発明の詳細な説明

(技術分野)

本発明は、SOI型深溝半導体装置の製法に

関する。

(従来技術)

従来、ポリシリコンゲートMOS型半導体装置においては、ゲート強化後ゲート電極となるポリシリコンに先づ比抵抗を下げるために不純物を拡散した後バターンニングし、その後該ポリシリコンをマスクとしてソース・ドレインとなる部分に不純物を拡散し、その後ポリシリコンを焼却するために酸化してポリシリコン上に酸化膜を形成する。

この層ポリシリコン上に成長した酸化膜は必ずしも一様の厚さにはならず、特にポリシリコンの端でゲート強化膜と接している部分においては端端に酸化膜が薄くなることが知られている。

他方、集成回路においては、通常上記ポリシリコンゲートの端にはソース・ドレイン等に接続される他のポリシリコン配線やA/S配線が形成されるから、これら配線とゲートポリシリコン電極の間の電気的耐圧を電源電圧に較べて元

分大きくとる必要がある。走って上記の如く、ゲートポリシリコン上に形成されたシリコン酸化膜がゲートポリシリコン端でゲート酸化膜と接する部分で深くなっていると、この部分に沿ける層3が墨下してしまうという大きな理由が生じる。

このようなゲート酸化膜墨下の墨りを防ぐ上する技術として特開昭58-7357号がある。この技術はゲート酸化膜をポリシリコンで形成し、これを酸化して第2の酸化膜を形成し、この第2の酸化膜をポリシリコンの表面のみ残すようにしたものである。

しかしながら、このようにすると、活性層の上に形成する酸化膜と、前述第2の酸化膜の形成のために2度にわたって熱酸化が必要となる。とくに、第2の酸化膜はその厚みを大きくする必要がある(1μm以上)ので、この厚さの大きな厚みの層を熱酸化法により形成すると、基板変形の大きな原因となることが判明した。

一方、従来から高集積化のためゲート電極を

できるだけ小さくすることが試みられているが、その結果チャンネル長が短くなり、パンチホール特性の墨下等の現象、すなわちショートチャンネル効果が発生する。そこで特開昭58-38955号ではゲート上に横方向にひましの出た酸化マスクを形成することを発明している。

しかしながら、このような横方向にひましの出た酸化マスクは、不純物添加工程等には、飛沫になるので操作する必要が生じてしまう。

(目的)

本発明の目的は、基板に変形を生じないでSOI基板墨下部装置を製造する方法に関する。

また本発明のもう1つの目的は、ゲート酸化膜がその端部において墨厚が薄くなることがないように保護層を形成し、かつこの保護層を除去する必要がないようにする点にある。

さらに本発明の他の目的は、ショートチャンネル効果を防止する点にある。

(構成)

本発明は、純粋墨面上にシリコンよりなる活

BEST AVAILABLE COPY

性層を形成後、シリコン層全面に第1の絶縁層であるゲート酸化膜を形成し、ついでゲート電極用材料層を形成し、その上に熱酸化によらない方法により墨間絶縁層を形成した後、ホトリソ、異方性ニッティングによりゲート電極部を形成し、ついで、その上に熱酸化によらない方法で、第2の絶縁層を形成し、ホトリソ、異方性ニッティングによりゲート電極部の表面にのみ第2の絶縁層を残し、その後、イオン注入、拡散によりソース・ドレイン領域を形成することを特徴とする薄膜墨下部装置の製法に関する。

前述シリコンよりなる活性層は、多結晶シリコンやアモルファスシリコンなど任意の薄膜墨下部装置用の材料のいずれでもが使用できる。

前述墨間絶縁層や第2の絶縁層に使用される材料は窒化シリコン、SiON、SiO₂等、異方性ニッティングが可能な材料であれば公知の墨下部用の材料のいずれでもが使用できる。

また、その成膜方法はCVD、スパッタリングなど公知の方法が使用できる。

異方性ニッティング(Anisotropic Etching)を行うには、RIE(Reactive Ion Etching)法など公知の手段が採用できる。

なお、前記ゲート酸化膜も、必ずしも熱酸化により形成された酸化膜である必要はなく、ゲート絶縁膜として機能するものであれば、CVD法やスパッタリング法で形成してもよい。

図面に基づいて本発明をさらに詳しく説明する。

第1図に示すように、

(a)・石英等の純粋墨1上にCVD法等により多結晶シリコンやアモルファスシリコン等の層を成長させ(約800Å)活性層2を形成する。

・活性層、例えば多結晶シリコンを熱酸化することにより墨1の絶縁層であるゲート酸化膜3を形成する。

・その上にCVD法等によりゲート電極及び配線となる多結晶シリコン層4を成長させ(約3000Å)、さらに絶縁層5を430

て層の上までCVD法により塗化銀の層で堆積させて形成する(約5000Å)。なお、前記CVD層にかえてスパッタリングによることもできる。

(b) ゲート配線バタンをフォトリソグラフィー法によって形成し、又は三塗法によって塗銀層(銀塗銀層)5、多結晶シリコン4を真空ニッティングする。

(c) (b)の上にCVD法、スパッタリング等により第3の塗銀層6を塗化シリコン等で形成する(約1μm)。

(d) (c)で得られたものを又は三塗法等により真方法ニッティングを行い、ゲート端部に塗銀層を形成する。以上によりゲートの端部が完了し、この後にイオン注入を行うことによって、不純物の注入領域がゲート端部より内側にはいりこまないようにすることができる。

(e) (d)で得られたものを熱沈没させると第1図(e)に示す製品となる。かくしてゲー

ト端部とチャンネル長2はほぼ一致になら、従来のように2,3μmとなることはない。

なお、第1図(e)の二端において、ゲート下の塗銀層以外の塗銀層を除去しておくことは、活性層7と配線(アルミ配線等)8とのソース・ドレン部7'でのコンタクトが、コンタクトホールを形成することなしに行なうことができる(第2図)。

第3図に多結晶シリコンの場合、各塗銀で30分沈没を行ったときのリンの横方向沈没量と沈没処理塗銀との関係を示す。ゲート端部の塗銀層の厚さが1μmであれば、沈没量900Åで30分の沈没を行えばよい。

(効 果)

本発明の方法によりゲート塗化銀の端部を防止すると同時に基板のそりなどの歪曲を防ぐことができる。加えて、ゲート配線バタンの端部、上面にのみ塗銀層を形成しているので新たに層間塗銀層を設ける必要がな

い。

また、第2図に示したようにゲート下以外のゲート塗銀層3を除去しておくことによって、コンタクトホールを形成することなしに活性層のソース・ドレン部7'と配線8とのコンタクトをとることができた。

その結果全体として工程を減らし、ソース・ドレンのコンタクトに備して、プロセスマージンを大きくすることができる。

さらに、第1図(d), (e)に示したようにイオン注入を行った際の不純物イオンの注入領域7はゲート端部よりも外側になる(第1図(d)参照)。

これを熱沈没することによってゲート端部とチャンネル長2をほぼ一致させることができた(第1図(e)参照)。

かくして、チャンネル長の短い薄膜トランジスタにおける横方向沈没によるソース・ドレンのリーク、ショートチャンネル効果を抑制することができ、高密度化が可能となつた。

4. 図面の簡単な説明

第1図(a)～(e)は、本発明方法の具体的工程図を薄膜半導体装置の断面図として示すものである。

第2図は、本発明方法の変形例を説明するためのものであり、第2図(a)は得られた薄膜半導体装置の断面図、第2図(b)は配線状態を示す上面図である。

第3図は、多結晶シリコン層を30分間熱沈没処理した場合の横方向沈没量と沈没量との関係を示す。

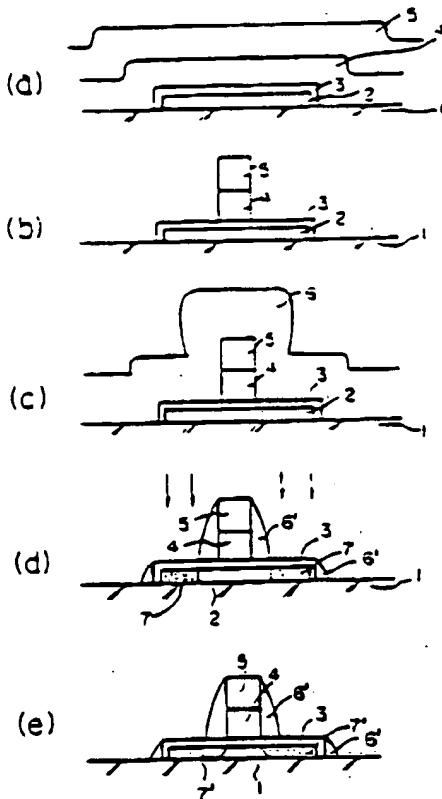
1…塗銀層
2…活性層
3…ゲート塗銀層(第1の塗銀層)
4…多結晶シリコン
5…層間塗銀層
6…第2の塗銀層
7…不純物イオン注入領域
7'…ソース・ドレン領域
8…配線
9…

特許出願人 株式会社 リニコ
代理人弁理士 友松英司

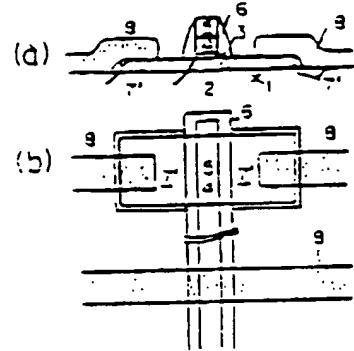
BEST AVAILABLE COPY

BEST AVAILABLE COPY

第一図



第二図



第三図

